

⑫ 公開特許公報(A) 平1-181458

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)7月19日

H 01 L 27/06

3 2 1

7735-5F

29/72

1 0 1

U-7373-5F

8526-5F 審査請求 未請求 請求項の数 4 (全4頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭63-2559

⑯ 出 願 昭63(1988)1月11日

⑰ 発 明 者 渡 辺 君 則 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑱ 発 明 者 中 川 明 夫 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

半 導 体 装 置

2. 特許請求の範囲

(1) 第1導電型のエミッタ層、第2導電型のベース層および第1導電型のコレクタ層をそれぞれ備え、前記第1導電型エミッタ層と前記第1導電型コレクタ層間の領域に第1導電型の低濃度層が形成されている横型トランジスタにおいて、前記第1導電型のエミッタ層と前記第1導電型コレクタ層間の領域上に絶縁膜を介してゲート電極を設けたことを特徴とする半導体装置。

(2) 低濃度の第1導電型基板上に全て拡散で行うことを特徴とする請求項1記載の半導体装置。

(3) 前記横型トランジスタの前記第2導電型ベース層と前記第1導電型コレクタ層間にMOSFETが短絡されていることを特徴とする請求項1および請求項2のうちのいずれかに記載の半導体装置。

(4) 前記横型トランジスタのゲート電極と前記MOSFETのゲート電極に同時にゲート駆動電圧を

印加する手段を具備してなることを特徴とする請求項1、請求項2および請求項3のうちのいずれかに記載の半導体装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は横型トランジスタとして用いられる半導体装置に関する。

(従来技術)

横型トランジスタにおいて、電流増幅率 h_{fe} を高めるためにベース幅を狭くする必要があり、その結果パンチスルーしやすくなり耐圧が低下した。近年、DSA (Diffusion Self Align) 法によりエミッタ層を高濃度のベース層で囲み、パンチスルーを防ぎ、さらに低濃度のコレクタ層を隣接することにより、ベース層幅を実効的に狭くするとともに、この低濃度のコレクタ層により電界が緩和され降伏電圧が向上した横型トランジスタが提案されている。その基本的な構造を第5図に示す。

第5図に示す従来の横型トランジスタは、n型

基板61に p^- コレクタ層7が形成され、DSA法により、 n ベース層3、 p^+ エミッタ層5および p^+ コレクタ層4を形成する。この n ベース層3および p^+ コレクタ層4は p^- コレクタ層7と隣接されている。さらに n^+ ベース層6を形成し、 p^+ コレクタ層4にはコレクタ電極8、 p^+ エミッタ層5にはエミッタ電極9および n^+ ベース層6にはベース電極10がそれぞれオーミックに形成されている。

この横型トランジスタのベース電極10にベース電流を流すことにより、 n 型ベース層3内に正孔が注入され、コレクタ電極8に負バイアスを印加すると電界によってベース内に存在する正孔がコレクタ層4に排出される。

ところがこの素子は、領域31で正孔が再結合してしまい、高い電流増幅率 h_{fe} を得ることができなくなってきた。

(発明が解決しようとする課題)

以上のように、従来の横型トランジスタでは、高い電流増幅率 h_{fe} を得ることができないという問題があった。

同じ符号を付して詳細な説明は省く。この実施例では p^+ 型コレクタ層4と p^+ 型エミッタ層5間にゲート酸化膜11を介して、ゲート電極12を形成している。また、 n^- 層21を形成し、さらに p^+ 型ドレン層22と p^+ 型ソース層23を形成する。ドレン層22とソース層23間の領域上にゲート酸化膜26を介して、ゲート電極27が形成され、ドレン層22にはドレイン電極24、ソース層23にはソース電極25がそれぞれオーミックに形成されている。また、ドレイン電極24とベース電極、ソース電極25とコレクタ電極8、そして、MOSFETのゲート電極27と横型トランジスタのゲート電極12がそれぞれ接続するように配設している。

この実施例によれば、ゲート電極端子Gに負バイアスを印加すると、領域32でチャンネルが形成され、横型トランジスタにベース電流が流れ、この横型トランジスタを駆動することができる。また、印加電圧によって、ベース電流を制御することができる。即ち、電圧制御によって横型トランジスタを安易に制御することができる。また、こ

本発明は、このような問題点を解決した電圧制御型の横型トランジスタに適した半導体装置を提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

本発明にかかる横型トランジスタは、第1導電型のエミッタ層と第1導電型コレクタ層間の領域上に絶縁膜を介してゲート電極が形成され、また、第1導電型コレクタ層と第2導電型ベース層間にMOSFETが短絡されていることを特徴とする。

(作用)

この発明の半導体装置は、ベース層内の正孔が再結合をほとんど起さずにコレクタ層へ注入することができるので高い電流増幅率 h_{fe} が得られる。

(実施例)

以下、本発明の実施例を説明する。以下の全ての実施例では第1導電型として p 型、第2導電型として n 型として用いる。

第1図は第1の横型トランジスタの断面図である。従来例として示した第5図と対応する部分は

のときにゲート電極12の電界により正孔が基板表面上に引き寄せられ n ベース層3の領域31で正孔の濃度が高くなり、正孔はこの領域31で再結合をほとんど起さずにコレクタ層4へ注入することができ、電流増幅率 h_{fe} が高くなる。

第2図は第2の横型トランジスタの断面図である。この実施例では横型トランジスタの n^+ ベース層6が n ベース層3内に形成している。この実施例では、 n ベース層3に n^+ ベース層6を形成しているため、ベース電流が流れ易くなり、さらに高い電流増幅率 h_{fe} を得ることができる。また、前記同様に配線を配設することにより、ゲート電極端子Gに制御信号を印加するだけで、安易に駆動することができる。

第3図は、本発明の他の実施例の横型トランジスタの断面図である。この実施例では、横型トランジスタのコレクタ層とMOSFETのソース層を p^+ 層41で共用した例である。この構造では、コレクタ層とソース層を共用するため、構造を小さくすることができる。この実施例も前記同様にゲー

ト電極端子Gに制御信号を印加するだけでトランジスタを駆動することができ、高い電流増幅率が得られる。

第4図はさらに別の実施例の横型トランジスタの断面図である。この実施例では、ベース電極10とコレクタ電極8の間にペレットの外でMOSFET 51を接続している。この場合MOSFET 51はパッケージ内でアセンブリされてもよいし、別個のパッケージにアセンブリされて接続されていてもよい。この実施例もまた、ゲート電極端子Gに制御信号を印加するだけで、この横型トランジスタを制御することができる。また、実施例ではnpnトランジスタにおいて説明したがp⁻型基板1をn⁻型基板にして、npnトランジスタとしても可能である。

〔発明の効果〕

以上述べたように本発明によれば、ベース層領域での正孔の濃度を高め、エミッタから注入した正孔が再結合をほとんど起さずにコレクタ層へ注入することができ、電流増幅率h_{fe}が高めること

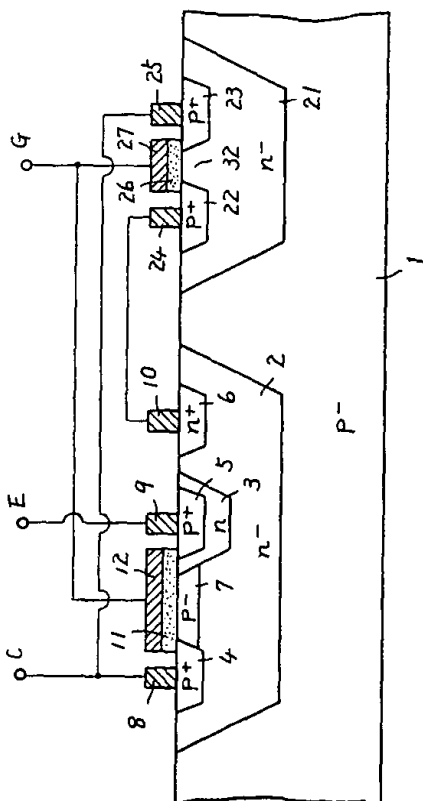
ができる。また、電圧制御で安易に駆動することができる。

4. 図面の簡単な説明

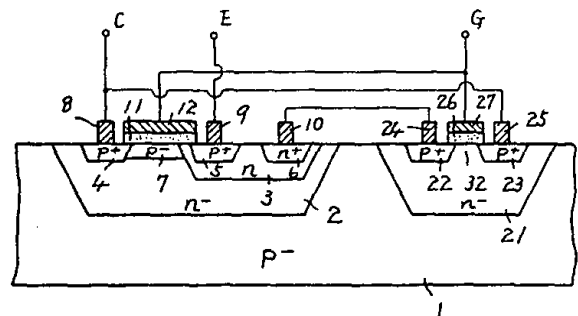
第1乃至4図は本発明の実施例の素子構造を示す断面図、第5図は従来例の素子構造の断面図である。

- | | |
|---------------------------|---------------------------|
| 1…p ⁻ 型Si基板、 | 2…n ⁻ 型層、 |
| 3…n型ベース層、 | 4…p ⁺ 型コレクタ層、 |
| 5…p ⁺ 型エミッタ層、 | 6…n ⁺ 型ベース層、 |
| 7…p ⁻ 型コレクタ層、 | 8…コレクタ電極、 |
| 9…エミッタ電極、 | 10…ベース電極、 |
| 11、26…ゲート酸化膜、12、27…ゲート電極、 | |
| 21…n ⁻ 型層、 | 22…p ⁺ 型ドレイン層、 |
| 23…p ⁺ ソース層、 | 24…ドレイン電極、 |
| 25…ソース電極、 | 41…N型基板、 |
| 31…ゲート電極直下のn層領域、 | |
| 51…MOSFET、 | |

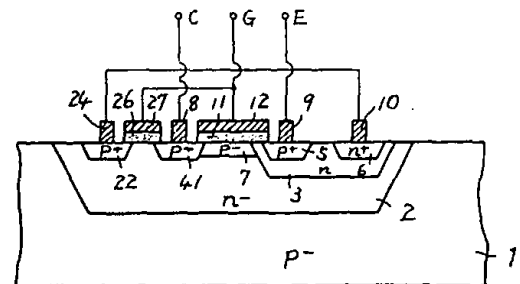
代理人 井理士 則 近 藤 佑
同 松 山 允 之



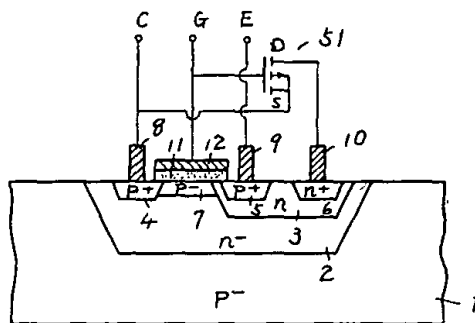
第 1 図



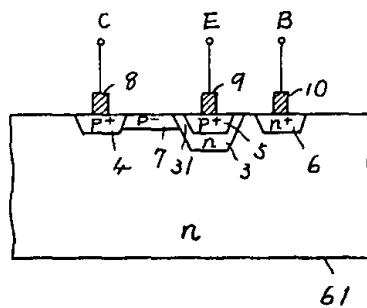
第 2 図



第 3 図



第 4 図



第 5 図

CLIPPEDIMAGE= JP401181458A

PAT-NO: JP401181458A

DOCUMENT-IDENTIFIER: JP 01181458 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: July 19, 1989

INVENTOR-INFORMATION:

NAME

WATANABE, KIMINORI

NAKAGAWA, AKIO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

N/A

APPL-NO: JP63002559

APPL-DATE: January 11, 1988

INT-CL (IPC): H01L027/06;H01L027/06 ;H01L029/72

US-CL-CURRENT: 438/FOR.166,438/339

ABSTRACT:

PURPOSE: To increase current amplification factor, by installing a gate electrode in a region between an emitter layer of first conductivity type and a collector layer of first conductivity type, via an insulating film.

CONSTITUTION: When a negative bias is applied to a gate electrode terminal G, a channel is formed in a region 32, a base current flows in a lateral transistor,

and the lateral transistor can be operated. The base current is controlled by the applied voltage, and the lateral transistor can be easily controlled by voltage control. At this time, positive hole is attracted on the surface of a substrate by the electric field of a gate electrode 12, the concentration of positive hole in the region 31 of an n-base layer 3 increases, and the positive hole can be injected into a collector layer 4 almost without recombination in the region 31. As a result, the current amplification factor h_{fe} increases.

COPYRIGHT: (C)1989,JPO&Japio